

1/7/1

DIALOG(R)File 351:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

011193785 \*\*Image available\*\*

WPI Acc No: 1997-171710/\*199716\*

**Manufacturing method of surface mounted semiconductor device e.g. tape automated bonding tape connection system of BGA - by clinging soft solder balls on other side of base film and are connected other end of wiring pattern which is also connected to semiconductor chip through electrodes**

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9036275	A	19970207	JP 95185497	A	19950721	199716 B

Priority Applications (No Type Date): JP 95185497 A 19950721

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9036275	A	6	H01L-023/12	

Abstract (Basic): JP 9036275 A

The mfg. method involves applying adhesive (15) on the one side surface of a base film (14). A metal foil is bond and then etched to and from the adhesive. The through-holes (17) are formed at the positions to which the soft solder balls (180 are to be attached. A wiring pattern (16) is formed, corresp. to the through-holes.

The electrodes of a mounted semiconductor chip (11) is connected to one end of the wiring pattern. The soft solder balls are clung to the other surface and are connected to the other end of the wiring pattern.

ADVANTAGE - Enables to produce semiconductor package with several pins without increasing number of mfg. processes; reduces mfg. cost.

Dwg.3/6

Derwent Class: U11

International Patent Class (Main): H01L-023/12

International Patent Class (Additional): H01L-021/60

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36275

(43) 公開日 平成9年(1997) 2月7日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12			H 0 1 L 23/12	L
21/60	3 1 1		21/60	3 1 1 W

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平7-185497

(22) 出願日 平成7年(1995) 7月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大塚 雅司

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝多摩川工場内

(72) 発明者 池部 公弘

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝多摩川工場内

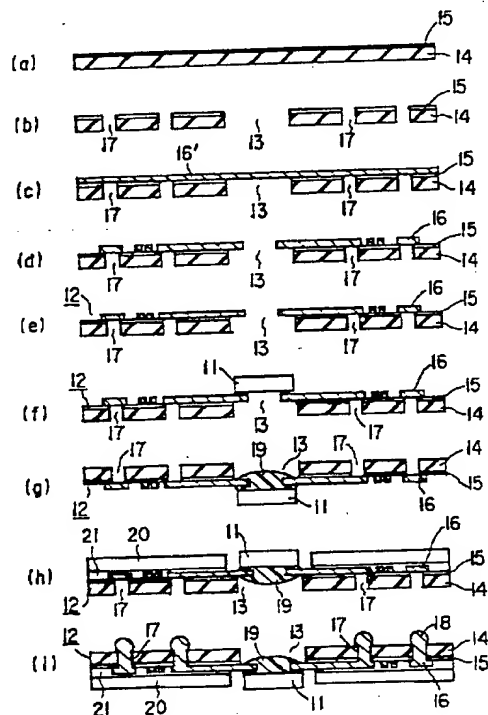
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 表面実装型半導体装置の製造方法

(57) 【要約】

【課題】 本発明は、一層式のTABテープを使用してなるTAB-BGAの製造において、工程数の増加を招くことなく、多ピン化に容易に対応でき、しかも、より低コスト化を図ることができるようにすることを最も主要な特徴とする。

【解決手段】 たとえば、ベースフィルム14を受け入れて、デバイスホール13およびパッドホール17を打ち抜きにより同時に形成する工程と、上記ベースフィルム14の上面に配線パターン16を形成する工程と、その配線パターン16の一端を、半導体チップ11の各電極パッドとそれぞれ接続する工程と、配線パターン16の他端を、パッドホール17を介して、上記ベースフィルム14の下面に取り付けられた半田ボール18と個々に接続する工程とからなっている。



## 【特許請求の範囲】

【請求項1】 パッケージの片面に配置された半田ボールによって基板上に実装される表面実装型半導体装置の製造方法において、

一方面に接着剤が塗布された絶縁材を打ち抜き、半導体素子を搭載するための開口部を形成すると同時に、前記半田ボールの取り付け位置に貫通孔を形成する工程と、前記接着剤により前記絶縁材上に金属箔を貼り付ける工程と、

前記金属箔をエッチングして、一端が前記開口部に延在され、他端が前記貫通孔に対応する配線パターンを形成する工程と、

前記開口部に延在する前記配線パターンの一端を、前記半導体素子の電極と接続する工程と、

前記絶縁材の他方面に前記半田ボールを取り付け、その半田ボールと前記配線パターンの他端とを前記貫通孔を介して接続する工程とからなることを特徴とする表面実装型半導体装置の製造方法。

【請求項2】 前記絶縁材と前記配線パターンとによってTABテープが形成されてなることを特徴とする請求項1に記載の表面実装型半導体装置の製造方法。

【請求項3】 前記絶縁材の、前記配線パターン上に補強板を接着する工程をさらに含むことを特徴とする請求項1に記載の表面実装型半導体装置の製造方法。

【請求項4】 前記補強板がGNDに接続されてなることを特徴とする請求項3に記載の表面実装型半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、たとえばパッケージの片面に格子状に配置された半田ボールによって基板上に実装される表面実装型半導体装置の製造方法に関するもので、特にTAB (Tape Automated Bonding) テープ接続方式のBGA (Ball Grid Array) の製造に用いられるものである。

## 【0002】

【従来の技術】従来、フラットタイプのパッケージとしては、たとえばQFP (Quad Flat Package) が最も一般的である。このQFPは、ファインピッチでのリードの形成の難しさなどから、リード間ピッチは0.3mmで、リード数は300前後が限界といわれている。

【0003】また、リードフレームの代わりに、ファインピッチでのリードの形成が可能なTABテープを用いたTCP (Tape Carrier Package) がある。このTCPは、他の部品との一括リフローが困難なため、市場の大きな拡大は望めない。

【0004】そこで、登場したのがBGAである。BGAとは、パッケージの裏面に半田ボールを格子状に配置した構造で、600程度までの多ピンパッケージが実現できる。

【0005】BGAは、当初、プリント基板にチップをマウントし、ワイヤボンディングした後、モールドしたタイプが多かった。また、最近では、多ピン化に対応するため、TABテープを使用した方式のTAB-BGAも開発されている。

【0006】このように、モールドタイプのBGA (いわゆる、P-BGA) は、現在でも、主流の一角をなしている。しかし、そのピン数は、たかだか100~200ピン程度となっている。これは、チップの接続にワイヤボンディングを用いているためであり、ボンディング技術の限界によって、300~600ピンといった多ピン化には対応できないという問題があった。

【0007】これに対し、TABまたはフリップチップ技術の場合、多ピン化にも十分に対応できる。図4は、二層式のTABテープを使用してなる、TAB-BGAの概略構成を示すものである。

【0008】このTAB-BGAは、半導体チップ101の電極パッドにTABテープ102上の配線パターン103の一端が接続され、他端がベースフィルム (ポリイミド (PI)) 104の裏面側にスルーホール105を介して引き出されている。そして、それぞれの引き出し位置において、配線パターン103と半田ボール106とが個々に接続された構成となっている。

【0009】また、半導体チップ101の電極パッドと配線パターン103との接続面がポッティング樹脂107によって封止され、さらに、TABテープ102の表面側には補強用のスティフナー108が接着されている。

【0010】このような構成によれば、配線パターン103のファインピッチ化によって、300~600ピンといった多ピンにも十分に対応できる。しかしながら、このTAB-BGAの場合、TABテープ102におけるベースフィルム104の表面の配線パターン103と、裏面の電極部の半田ボール106とをスルーホールメッキにより接続する構成となっている。すなわち、二層式のTABテープ102を使用してなるBGAにおいては、TABテープ102の製造プロセス上における工程を著しく複雑なものにするため、非常にコストが高くなる。

【0011】このような問題点を解決するものとして、一層式のTABテープを使用してなる、TAB-BGAが発案されている。図5は、一層式のTABテープを使用してなる、TAB-BGAの概略構成を示すものである。

【0012】このTAB-BGAは、半導体チップ201の電極パッドにTABテープ202上の配線パターン203の一端が接続され、他端がベースフィルム204の裏面側において、半田ボール206と個々に接続された構成となっている。

【0013】また、半導体チップ201の電極パッドと

配線パターン203との接続面がポッティング樹脂207によって封止され、さらに、TABテープ202の表面側には補強用のスティフナー208が接着されている。

【0014】このような構成によれば、300~600ピンといった多ピンにも十分に対応でき、しかも、安価な一層式のTABテープ202の使用により低コスト化が可能となる。

【0015】しかしながら、このTAB-BGAの場合、TABテープ202上の配線パターン203がベースフィルム204の一方面（裏面側）にあるため、ボール取り付け時に配線パターン203を保護する目的で、

10 ソルダレジスト209の塗布または印刷が不可欠となっている。

【0016】図6は、上記TAB-BGAにおける、TABテープ202上の配線パターン203の一例を示すものである。この図に示すように、上記ソルダレジスト209は、配線パターン203を確実に覆い、かつ、半田ボール206が接続されるボールパッド210には

20 かからないようにしなければならない。なお、図中には、上記レジスト209が設けられる領域を破線211によって示している。

【0017】このようなソルダレジスト209の印刷の精度を考えると、たとえばボールパッド210のピッチを1.27mm、パッド210の径を0.7mmとし、パッド210間に5本の配線パターン203を通そうとすると、その精度は±60μmとなる。

【0018】これは、現状のレジスト印刷技術では決して不可能ではないが、高等なプロセス技術が必要となるため、高価なものとなり、当初の低コストという目的を

果たすことができなくなる。

【0019】また、このような高等なプロセス技術を用いたとしても、パッド210間に5本以上の配線パターン203を通すことは不可能であり、したがって、ファインピッチ化、多ピン化には限界がある。

【0020】

【発明が解決しようとする課題】上記したように、従来においては、二層式のTABテープよりも安価な一層式のTABテープを使用したとしても、高い精度でのレジスト形成の必要性から、多ピン対応のBGAを低コストで実現するのは困難な状況となっていた。

【0021】そこで、この発明は、工程数の増加を招くことなく、多ピン化に容易に対応でき、しかも、より低コスト化を図ることが可能な表面実装型半導体装置の製造方法を提供することを目的としている。

【0022】

【課題を解決するための手段】上記の目的を達成するために、この発明にあっては、パッケージの片面に配置された半田ボールによって基板上に実装される表面実装型半導体装置の製造方法において、一方面に接着剤が塗布

された絶縁材を打ち抜き、半導体素子を搭載するための開口部を形成すると同時に、前記半田ボールの取り付け位置に貫通孔を形成する工程と、前記接着剤により前記絶縁材上に金属箔を貼り付ける工程と、前記金属箔をエッチングして、一端が前記開口部内に延在され、他端が前記貫通孔に対応する配線パターンを形成する工程と、前記開口部内に延在する前記配線パターンの一端を、前記半導体素子の電極と接続する工程と、前記絶縁材の他方面に前記半田ボールを取り付け、その半田ボールと前記配線パターンの他端とを前記貫通孔を介して接続する工程とからなっている。

【0023】この発明は、上記した手段により、たとえばベースフィルムの、半導体チップの搭載位置に設けられるデバイスホール形成と同時に、半田ボールの取り付け位置にパッドホールを形成し、このパッドホールを介して、上記ベースフィルムの一方面に設けられた配線パターンと、他方面に設けられた半田ボールとを電氣的に接続するようにしている。したがって、従来のTABテープの製造プロセスにおいて、デバイスホール形成の工程で同時にパッドホールの形成を行うようにするのみで、特別な工程の追加を必要とすることなしに、容易に実現できる。しかも、ベースフィルムの一方面に配線パターンを、他方面に半田ボールをそれぞれ設けるようにしている。このため、半田ボールの取り付け時に配線パターンのソルダレジストによる保護を必ずしも必要としなくなるものである。

【0024】

【発明の実施の形態】以下、この発明の実施の一形態について図面を参照して説明する。図1は、本発明の実施の一形態にかかる、一層式のTABテープを使用してなるTAB-BGA（TABテープ接続方式を採用してなるBGA）の概略構成を示すものである。

【0025】すなわち、半導体チップ（半導体素子）11は、TABテープ12のデバイスホール（開口部）13上に搭載されている。TABテープ12は、ポリイミド（PI）などからなるベースフィルム（絶縁材）14と、その一方面、たとえば上面に、接着剤15によって銅箔を貼り付けてなる配線パターン16とからなっている。

40 【0026】ベースフィルム14には、上記半導体チップ11の搭載位置に対応して上記デバイスホール13が設けられてなるとともに、半田ボール取り付け位置にそれぞれ対応してパッドホール（貫通孔）17が設けられている。

【0027】配線パターン16の一端は、それぞれ上記デバイスホール13内に延在されて、上記半導体チップ11の各電極パッドと接続されている。配線パターン16の他端は、それぞれ上記パッドホール17を塞ぐかたちで設けられて、上記ベースフィルム14の多方面、たとえば下面に取り付けられた半田ボール18と個々に接

50

続されている。

【0028】また、半導体チップ11上の、上記電極パッドと配線パターン16との接続面はポッティング樹脂19によって封止されている。さらに、TABテープ12の表面の上記配線パターン16上には、スティフナー（補強板）20が接着剤層21によって接着されている。

【0029】このような構造のTAB-BGAによれば、配線パターン16がベースフィルム14の上面に位置するため、半田ボール18の取り付け時に配線パターン16を溶剤レジストによって保護する必要がない。この結果、溶剤レジストの形成のための制約を受けないので、ローコストで、しかも、TABのエッチング技術の限界までファイン化が可能となる。

【0030】また、上記スティフナー20は、配線パターン16に対して約10～20μmの厚さの接着剤層21を介して極めて近接して設けられている。このため、スティフナー20をGNDに接続することで、電気的特性の向上も期待できる。

【0031】なお、図1においては、便宜上、半田ボール18の取り付けの際に、半田ボール18より溶融されてパッドホール17内に溶け込む半田の量が、半田ボール18の大きさに比べて多くなっている。しかしながら、実際には、パッドホール17内に溶け込む半田の量、つまり、接続に必要な半田の量はさほど多くなく、半田ボール18はそのボール形状を十分に保つことが可能となっている。

【0032】図2は、上記したTAB-BGAにおける、半田ボール18の取り付け位置を拡大して示すものである。たとえば、半田ボール18の径を700μmとする場合、一般的に用いられるベースフィルム14および接着剤15の厚さはたかだか100μm前後であるため、パッドホール17の径を500μm程度とすることにより、溶融前に、半田ボール18の球面をあらかじめ配線パターン16に当接できる。したがって、この状態で溶融すれば、半田量を大幅に損なうことなく、ボール形状を保ったまま半田ボール18を確実に配線パターン16と接続できる。

【0033】次に、上記した、一層式のTABテープを使用する、TAB-BGAの製造方法について説明する。図3は、TAB-BGAの製造プロセスを概略的に示すものである。ここでは、TABテープ製造工程とBGAアッセンブリ工程とに大別される。

【0034】TABテープ製造工程においては、まず、あらかじめ接着剤15の塗布されたベースフィルム14を受け入れて（同図（a））、デバイスホール13およびパッドホール17を打ち抜きにより同時に形成する（同図（b））。

【0035】次に、上記接着剤15を介して、上記ベースフィルム14上に銅箔16'を貼り付け（同図

（c））、それをエッチングによりパターンニングして配線パターン16を形成する（同図（d））。

【0036】そして、配線パターン16の少なくとも他の部品（たとえば、半導体チップ11）との接続部位に対してメッキ処理を施すことにより、上記した一層式のTABテープ12を製造する（同図（e））。

【0037】この後、BGAアッセンブリ工程においては、半導体チップ11がTABテープ12のデバイスホール13に対応されて、その各電極パッドと上記配線パターン16の一端とをそれぞれ接続する（同図（f））。

【0038】そして、その接続部を含む半導体チップ11の上面をポッティング樹脂19により封止する（同図（g））。また、TABテープ12の表面の上記配線パターン16上に、接着剤層21を介して、スティフナー20を接着する（同図（h））。

【0039】さらに、上記TABテープ12の、ベースフィルム14に形成された各パッドホール17上に半田ボール18を配置し、リフロー処理によって加熱、溶融して、半田ボール18と配線パターン16とをパッドホール17を介して個々に接続する（同図（i））。

【0040】しかる後、テスト、マーキング、およびパッキングなどの各工程を経て、上記図1に示した、TAB-BGAが完成される。このような方法によれば、デバイスホール13の形成工程において、パッドホール17の形成を同時に行うようにしているため、特別な工程の追加を必要とすることなしに、容易に実現できる。しかも、エッチングにより形成する場合よりも、工程の大幅な簡素化が可能である。

【0041】上記したように、ベースフィルムの、半導体チップの搭載位置に設けられるデバイスホールの形成と同時に、半田ボールの取り付け位置にパッドホールを形成し、このパッドホールを介して、上記ベースフィルムの一方向に設けられた配線パターンと、他方向に設けられた半田ボールとを電気的に接続するようにしている。

【0042】したがって、従来のTABテープの製造プロセスにおいて、デバイスホールの形成の工程で同時にパッドホールの形成を行うようにするのみで、特別な工程の追加を必要とすることなしに、容易に実現できるものである。

【0043】しかも、一層式のTABテープの、ベースフィルムの上に配線パターンを、下面に半田ボールをそれぞれ設けるようにしている。このため、半田ボールの取り付け時に配線パターンの溶剤レジストによる保護を必ずしも必要としなくなる。

【0044】この結果、安価な一層式のTABテープの使用が可能となるとともに、溶剤レジストの形成のための制約を受けないので、よりローコストで、TABのエッチング技術の限界までファイン化が可能となるも

のである。

【0045】また、スティフナーを配線パターンに対して極めて近接して設けるようにしているため、これをGNDに接続することで、電気的特性の向上も期待できるものである。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0046】

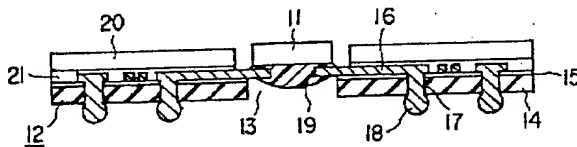
【発明の効果】以上、詳述したようにこの発明によれば、工程数の増加を招くことなく、多ピン化に容易に対応でき、しかも、より低コスト化を図ることが可能な表面実装型半導体装置の製造方法を提供できる。

【図面の簡単な説明】

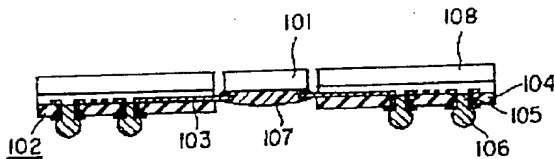
【図1】この発明の実施の一形態にかかる、TABテープ接続方式を採用してなるBGA（TAB-BGA）の概略構成を示す断面図。

【図2】同じく、TAB-BGAの要部の構成を示す拡大図。

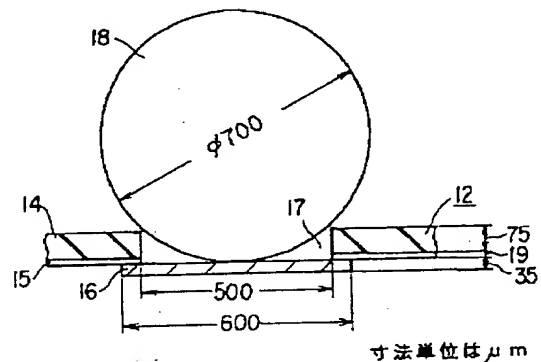
【図1】



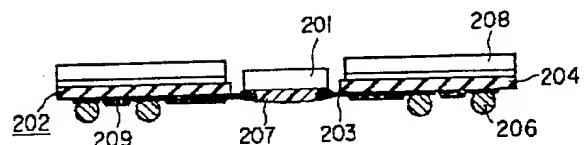
【図4】



【図2】



【図5】



【図3】同じく、TAB-BGAの製造プロセスを説明するために示す概略断面図。

【図4】従来技術とその問題点を説明するために示す、二層式のTABテープを使用してなるTAB-BGAの概略構成図。

【図5】同じく、一層式のTABテープを使用してなるTAB-BGAの概略構成図。

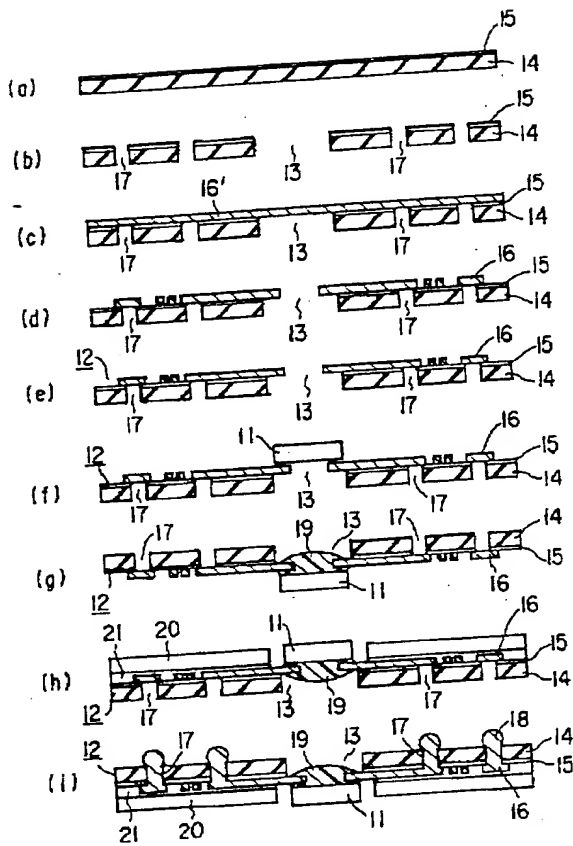
【図6】同じく、一層式のTABテープ上におけるソルダレジスト領域の形成例を示す要部の拡大図。

10 【符号の説明】

11…半導体チップ（半導体素子）、12…TABテープ、13…デバイスホール（開口部）、14…ベースフィルム（絶縁材）、15…接着剤、16…配線パターン、17…パッドホール（貫通孔）、18…半田ボール、19…ポッティング樹脂、20…スティフナー（補強板）、21…接着剤層。

(6)

【図3】



【図6】

